

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
30. November 2000 (30.11.2000)

PCT

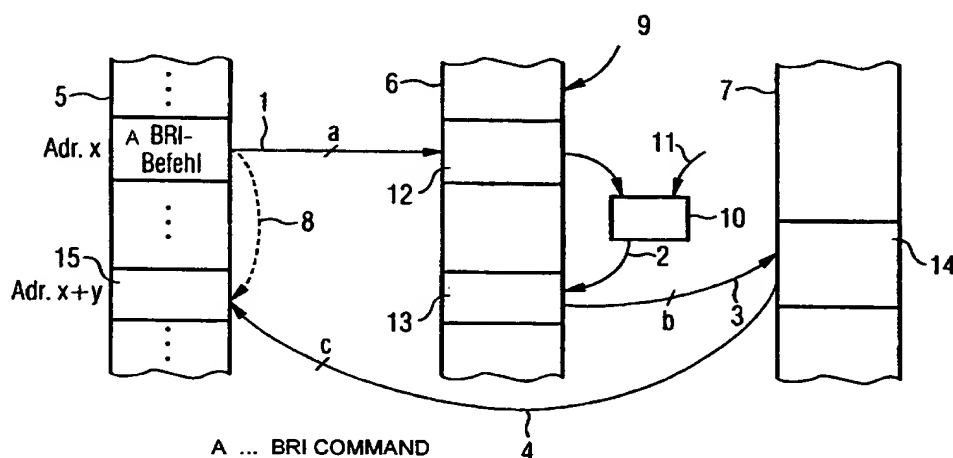
(10) Internationale Veröffentlichungsnummer
WO 00/72311 A2

- (51) Internationale Patentklassifikation⁷: **G11B** (72) Erfinder; und
(75) Erfinder/Anmelder (*nur für US*): **JENSEN, Karsten**
(21) Internationales Aktenzeichen: **PCT/DE00/01610** [DE/DE]; Bernhardt's Weg 2, D-01705 Freital (DE).
HOBER, Peter [DE/DE]; Sommerstrasse 18, D-85521 Riemerling (DE).
(22) Internationales Anmeldedatum:
19. Mai 2000 (19.05.2000) (74) Gemeinsamer Vertreter: **INFINEON TECHNOLOGIES AG**; Zedlitz, Peter, Postfach 22 13 17, D-80503 München (DE).
(25) Einreichungssprache: **Deutsch** (81) Bestimmungsstaaten (*national*): JP, KR, US.
(26) Veröffentlichungssprache: **Deutsch** (84) Bestimmungsstaaten (*regional*): europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
(30) Angaben zur Priorität:
199 23 517.1 21. Mai 1999 (21.05.1999) DE
(71) Anmelder (*für alle Bestimmungsstaaten mit Ausnahme von US*): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-Martin-Str. 53, D-81541 München (DE).
Veröffentlicht:
— Ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts.

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD AND DEVICE FOR BRANCHING DURING THE PROCESSING OF A PROGRAM BY A PROCESSOR

(54) Bezeichnung: VERFAHREN UND VORRICHTUNG ZUM VERZWEIGEN BEI DER ABARBEITUNG EINES PROGRAMMS DURCH EINEN PROZESSOR



(57) Abstract: The invention relates to a method for branching during the processing of a program by a processor. Said program is stored in a program memory and a variable memory and a table memory are provided. The inventive method comprises the following steps: a) addressing a first memory cell of the variable memory; b) addressing a second memory cell of the variable memory on the basis of the content of the memory cell addressed according to step a) and also on the basis of other parameters; c) addressing a memory cell of the table memory on the basis of the content of the second memory cell addressed according to step b); and d) branching towards an address of the program which is stored in the memory cell of the table memory addressed in step c).

[Fortsetzung auf der nächsten Seite]



WO 00/72311 A2



Zur Erklärung der Zweibuchstaben-Codes, und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) Zusammenfassung: Ein Verfahren zum Verzweigen bei der Abarbeitung eines Programms durch einen Prozessor, wobei das Programm in einem Programmspeicher abgelegt ist und ein Variablenspeicher und ein Tabellenspeicher vorgesehen sind, enthält die folgenden Schritte: a) Adressieren einer ersten Speicherzelle des Variablenspeichers, b) Adressieren einer zweiten Speicherzelle des Variablenspeichers abhängig vom Inhalt der in Schritt a) adressierten ersten Speicherzelle und weiteren Parametern, c) Adressieren einer Speicherzelle des Tabellenspeichers abhängig vom Inhalt der in Schritt b) adressierten zweiten Speicherzelle, und d) Verzweigen zu einer Adresse des Programms, die in der in Schritt c) adressierten Speicherzelle des Tabellenspeichers abgelegt ist.

Beschreibung

Verfahren und Vorrichtung zum Verzweigen bei der Abarbeitung eines Programms durch einen Prozessor

5

Die Erfindung betrifft ein Verfahren zum Verzweigen bei der Abarbeitung eines Programms durch einen Prozessor nach Patentanspruch 1 und eine Vorrichtung zur Durchführung des Verfahrens nach Patentanspruch 4.

10

Befehle zum Verzweigen bei der Programmabarbeitung durch einen Prozessor - auch als Sprungbefehle bezeichnet - werden in indirekte und direkte Sprungbefehle eingeteilt.

15

Indirekte Sprungbefehle berechnen dabei die Zieladresse der Programmverzweigung bzw. des Sprunges indirekt über den Inhalt eines sogenannten Indexregisters. Der Wert, der in dem Indexregister gespeichert ist, ist während der Programmabarbeitung veränderbar, so daß das Sprungziel innerhalb bestimmter Bereiche programmierbar ist. Nachteilig ist dabei jedoch, daß indirekte Sprungbefehle einstufig abgearbeitet werden (eine Stufe zur Berechnung des Sprung- bzw. Verzweigungsziels) und der Sprung bzw. die Verzweigung nur aufwendig mittels einer Vielzahl von Befehlen zweistufig ausgeführt werden kann. Der Vorteil des Zweistufigkeit liegt in der leichten Umprogrammierbarkeit und Anpassbarkeit von Sprung- bzw. Verzweigungszielen während der Bearbeitung des Sprunges.

20

25

30

Der Erfindung liegt daher die Aufgabe zugrunde, ein Verfahren zum Verzweigen bei der Abarbeitung eines Programms durch einen Prozessor und eine entsprechende Vorrichtung zur Durchführung des Verfahrens zu schaffen, das eine zweistufige Programmverzweigung mittels einer veränderbaren indirekten Adressierung ermöglicht.

35

Diese Aufgabe wird durch ein Verfahren mit den Merkmalen des Anspruchs 1 und durch eine Vorrichtung mit den Merkmalen des

Anspruchs 4 gelöst. Bevorzugte Ausführungsformen der Erfindung sind Gegenstand der Unteransprüche.

Erfindungsgemäß weist ein Verfahren zum Verzweigen bei der
5 Abarbeitung eines Programms durch einen Prozessor, wobei das
Programm in einem Programmspeicher abgelegt ist und ein Variablen-
speicher und ein Tabellenspeicher vorgesehen sind, die
folgenden Schritte auf:

- 10 a) Adressieren einer ersten Speicherzelle des Variablenspeichers,
- b) Adressieren einer zweiten Speicherzelle des Variablenspeichers abhängig vom Inhalt der in Schritt a) adressierten ersten Speicherzelle und weiteren Parametern,
- 15 c) Adressieren einer Speicherzelle des Tabellenspeichers abhängig vom Inhalt der in Schritt b) adressierten zweiten Speicherzelle, und
- d) Verzweigen zu einer Adresse des Programms, die in der in Schritt c) adressierten Speicherzelle des Tabellenspeichers abgelegt ist.

20 Vorteilhafterweise kann durch die zweistufige Verzweigung (erste Stufe: Schritt a) und b), zweite Stufe: Schritt c)) eine variable indirekte Adressierung des Sprung- bzw. Verzweigungsziels erfolgen. Dabei kann die variable indirekte
25 Adressierung durch weitere Parameter in Schritt b) beeinflusst werden.

Bevorzugt wird in Schritt b) die zweite Speicherzelle des Variablenspeichers von dem Ergebnis eines Befehls, der den Inhalt der ersten Speicherzelle des Variablenspeichers und die
30 weiteren Parameter verarbeitet, adressiert.

Ferner erfolgt das Adressieren des Variablenspeichers mit einer ersten Bitbreite a und das Adressieren des Tabellenspeichers mit einer zweiten Bitbreite b, wobei die erste Bitbreite a und zweite Bitbreite b unterschiedlich groß sein
35 können.

Ferner betrifft die Erfindung eine Vorrichtung zum Verzweigen bei der Abarbeitung eines Programms durch einen Prozessor, wobei das Programm in einem Programmspeicher, der über einen ersten bidirektionalen Bus mit dem Prozessor verbunden ist, abgelegt ist. Weiterhin ist eine Adressiereinheit, die erste Adressen über einen ersten Bus von dem Prozessor empfängt und die ersten Adressen in zweite Adressen umwandelt und damit über einen zweiten Bus einen Variablenspeicher, der über einen dritten Bus von dem Prozessor auslesbar ist, adressiert und ein Tabellenspeicher, der über einen zweiten bidirektionalen Bus mit dem Prozessor verbunden, vorgesehen.

Bevorzugt ist eine Einrichtung, die über einen vierten Bus Daten von dem Variablenspeicher und über einen fünften Bus Daten von dem Prozessor empfängt und aus den empfangenen Daten eine Adresse zur Adressierung des Variablenspeichers über einen sechsten Bus berechnet, vorgesehen.

Ferner handelt es sich bei dem Variablenspeicher um einen Schreib-/Lese-Speicher und der Tabellenspeicher ist vorzugsweise als ein Schreib-/Lese-Speicher ausgelegt. Der Prozessor ist bevorzugt als I/O-Prozessor zur Protokollverarbeitung ausgeführt.

Bevorzugte Ausführungsformen der Erfindung werden nachfolgend anhand der Zeichnungen erläutert. In der Zeichnung zeigt

Figur 1 ein Ausführungsbeispiel des erfindungsgemäßen Verfahrens, und

Figur 2 ein Ausführungsbeispiel der erfindungsgemäßen Vorrichtung zur Durchführung des Verfahrens.

In Figur 1 ist das erfindungsgemäße Verfahren an Hand eines Programmspeichers 5, eines Variablenspeichers 6 und eines Tabellenspeichers 7 schematisch dargestellt. Unter einem Pro-

grammspeicher wird dabei ein Speicher, in dem ein Programm
abgelegt ist, das von einem Prozessor verarbeitet wird, ver-
standen. Ein Variablenspeicher dient zum Ablegen von verän-
derbaren Werten. In einem Tabellenspeicher sollen Festwerte
5 abgelegt sein.

In dem Programmspeicher 5 ist ein Programm abgelegt, das von
einem Prozessor abgearbeitet wird und einen Sprungbefehl, der
als BRI-Befehl (Branch-Indexed-Befehl) gekennzeichnet ist,
10 aufweist. Der BRI-Befehl, der im Programmspeicher 5 an der
Adresse x abgelegt ist, soll beispielsweise einen Sprung-
bzw. eine Verzweigung des Programms an die Speicherstelle mit
der Adresse $x + y$ des Programmspeichers 5 ausführen. Der dazu
erforderliche Sprung 8 ist gestrichelt dargestellt.

15 Zur Ausführung dieser Verzweigung adressiert der BRI-Befehl
eine Speicherzelle, die als Register 12 gekennzeichnet ist,
in einem Variablenspeicher 6. Die Adressierung erfolgt dabei
über ein erstes Adressierungssignal 1, das eine Bitbreite von
20 a Bits aufweist.

In dem Register 12 des Variablenspeichers 6 ist die Adresse
einer weiteren Speicherzelle, die als Register 13 bezeichnet
ist, des Variablenspeichers 6 abgelegt. Diese Adresse kann
25 von einer Einheit 10, die weitere Parameter 11 erhält, verän-
dert werden, dargestellt durch den Sprung 2.

Die Einheit 10 adressiert dann das Register 13 des Varia-
blenspeichers 6. In der zweiten Speicherzelle bzw. dem Regi-
ster 13 ist wiederum eine Adresse abgelegt, die zur Adressie-
30 rung eines Tabellenspeichers 7 dient.

In dem Tabellenspeicher 7 sind verschiedene Werte für einen
Programmzähler, der den Programmspeicher 5 adressiert, abge-
legt. Die in dem Register 13 des Variablenspeichers 6 abge-
35 legte Adresse des Tabellenspeichers 7 weist eine Bitbreite
von b Bits auf. Zum Adressieren des Tabellenspeichers wird

der Inhalt des Registers 13 des Variablenspeichers 6 als zweites Adreßsignal 3 an den Tabellenspeicher 7 geführt. Die in dem Tabellenspeicher 7 adressierte Speicherzelle wird dann ausgelesen und in den Programmzähler des Prozessors geladen.

5

Der dann in dem Programmzähler stehende neue Programmzählerwert 14 adressiert nun (drittes Adressierungssignal 4 der Breite c Bits) die Speicherzelle mit der Adresse $x + y$ des Programmspeichers, die das Verzweigungsziel 15 der Verzweigung bzw. des Sprunges im Programm angibt.

Durch die zweistufige Ausführung des Verfahrens - erste Stufe: Adressieren des Variablenspeichers 6, zweite Stufe: Adressieren des Tabellenspeichers 7 - kann ein indirekter Verzweigungsbefehl, der auf dem erfindungsgemäßen Verfahren basiert, sehr flexibel auf unterschiedliche Anforderungen eingestellt werden.

Durch die zusätzliche Möglichkeit der Beeinflussung bzw. Veränderung durch die Einheit 10 der Adressierung des Registers 13 des Variablenspeichers kann das Sprung- bzw. Verzweigungsziel während der Abarbeitung des BRI-Befehls verändert werden.

Ein Prozessor, der den BRI-Befehl bearbeitet, kann beispielsweise durch einen zu verarbeitenden Datenstrom zur Änderung des Verzweigungs- bzw. Sprungziels veranlaßt werden. Durch die Parameter 11 kann der Prozessor nun die Einheit 10 so steuern, daß eine andere Speicherzelle bzw. ein anderes Register des Variablenspeichers 6 anstelle des ursprünglich durch den BRI-Befehl vorgesehenen Registers 13 des Variablenspeichers 6 adressieren. Damit kann das Sprung- bzw. Verzweigungsziel des BRI-Befehls noch während der Abarbeitung der ersten Stufe des Befehls geändert werden.

35

Ferner besteht die Möglichkeit, den Inhalt des Variablenspeichers 6 durch den Prozessor oder durch andere Einrich-

tungen mittels Umprogrammierung 9 zu verändern. Dadurch können die Sprung- bzw. die Verzweigungsziele der BRI-Befehle verändert werden. Somit kann auf weitere Veränderungen des Programmablaufes bzw. der Programmabarbeitung flexibel reagiert werden.

In Figur 2 ist eine Vorrichtung zur Durchführung des erfindungsgemäßen Verfahrens dargestellt. Elemente, die bereits in Figur 1 dargestellt sind, sind mit den gleichen Bezugszeichen wie in Figur 1 gekennzeichnet.

Ein Prozessor 100, der einen Programmzähler PC aufweist, ist über Busse 111 und 112 mit weiteren Einrichtungen verbindbar.

Der Prozessor 100 adressiert über den Programmzähler PC einen Programmspeicher 5, der über einen bidirektionalen Bus 103 mit dem Prozessor verbunden ist.

Trifft der Prozessor 100 bei der Abarbeitung eines Programms aus dem Programmspeicher auf einen BRI-Befehl zur Programmverzweigung, so adressiert der Prozessor 100 einen Variablenspeicher 6 über eine Adressiereinheit 101. Der Variablenspeicher 6 enthält wiederum Adressen zum Adressieren eines Tabellenspeichers 7.

Die Adressiereinheit 101 empfängt dazu über einen unidirektionalen Bus 104 Adressen von dem Prozessor 100. Die Adressiereinheit 101 wandelt diese Adressen in Adressen zum Adressieren des Variablenspeichers 6, die über einen unidirektionalen Bus 105 von der Adressiereinheit 101 an den Variablenspeicher 6 übertragen werden. Im Variablenspeicher 6 wird dadurch eine Speicherzelle adressiert, die die Adresse einer weiteren Speicherzelle des Variablenspeichers 6 enthält.

Der Inhalt der Speicherzelle des Variablenspeicher 6 wird über einen unidirektionalen Bus 106 einer Einheit zur Adreß-

berechnung 102 zugeführt.

Die Einheit zur Adreßberechnung 102 empfängt von dem Prozessor 100 weitere Daten über einen unidirektionalen Bus 108 und berechnet aus dem Inhalt der Speicherzelle des Variablenspeichers 6 und den Daten vom Prozessor eine Adresse zum Adressieren der weiteren Speicherzelle des Variablenspeichers. Diese Adresse wird von der Einheit zur Adreßberechnung 102 an den Variablenspeicher 6 über einen unidirektionalen Bus 107 übermittelt.

Durch diese indirekte Berechnung einer Adresse des Tabellenspeichers, der wiederum die Adressen der Sprungziele enthält, ergibt sich die Möglichkeit zur Veränderung der Sprungziele in Abhängigkeit von Daten, die der Prozessor 100 an die Einheit zur Adreßberechnung 102 sendet.

Der Inhalt der nun adressierten zweiten Speicherzelle des Variablenspeichers 6 wird über einen unidirektionalen Bus 109 vom Prozessor ausgelesen.

Der Prozessor adressiert daraufhin mittels dieser Adresse den Tabellenspeicher 7, der über einen bidirektionalen Bus 110 mit dem Prozessor verbunden ist. Der Inhalt der adressierten Speicherzelle des Tabellenspeichers 7 wird vom Prozessor über den bidirektionalen Bus 110 ausgelesen und in den Programmzähler PC geschrieben.

Der Programmzähler PC adressiert wiederum über den bidirektionalen Bus 103 den Programmspeicher an dem vorgesehenen Sprung- bzw. Verzweigungsziel.

Der Variablenspeicher 6 ist zusätzlich über einen bidirektionalen Bus 113 durch den Prozessor umprogrammierbar. Dadurch können die in dem Variablenspeicher abgelegten Adressen zur Adressierung des Tabellenspeichers 7 umprogrammiert werden.

Ferner ist der Tabellenspeicher 7 über den bidirektionalen Bus 110 durch den Prozessor umprogrammierbar. Hierdurch eröffnet sich eine weitere Möglichkeit der Umprogrammierung aller Verzweigungen bzw. Sprungziele der BRI-Befehle.

Anwendung findet die Erfindung insbesondere bei besonderen Prozessoren zur Protokollverarbeitung von Telekommunikationsprotokollen wie beispielsweise ISDN.

Patentansprüche

1. Verfahren zum Verzweigen bei der Abarbeitung eines Programms durch einen Prozessor, wobei das Programm in einem Programmspeicher (5) abgelegt ist und ein Variablenspeicher (6) und ein Tabellenspeicher (7) vorgesehen sind, gekennzeichnet durch die folgenden Schritte:
 - a) Adressieren (1) einer ersten Speicherzelle (12) des Variablenspeichers (6),
 - b) Adressieren (2) einer zweiten Speicherzelle (13) des Variablenspeichers abhängig vom Inhalt der in Schritt a) adressierten ersten Speicherzelle (12) und weiteren Parametern (11),
 - c) Adressieren (3) einer Speicherzelle (14) des Tabellenspeichers (7) abhängig vom Inhalt der in Schritt b) adressierten zweiten Speicherzelle (13), und
 - d) Verzweigen zu einer Adresse des Programms (15), die in der in Schritt c) adressierten Speicherzelle (14) des Tabellenspeichers (7) abgelegt ist.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß in Schritt b) die zweite Speicherzelle (13) des Variablenspeichers (6) von dem Ergebnis eines Befehls (10), der den Inhalt der ersten Speicherzelle (12) des Variablenspeichers (6) und weitere Parameter (11) verarbeitet, adressiert wird.
3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß das Adressieren (1) des Variablenspeichers (6) mit einer ersten Bitbreite a und das Adressieren (3) des Tabellenspeichers (7) mit einer zweiten Bitbreite b erfolgt, wobei die erste a und zweite b Bitbreite unterschiedlich groß sind.
4. Vorrichtung zum Verzweigen bei der Abarbeitung eines Programms durch einen Prozessor (100), wobei das Programm in

5 einem Programmspeicher (5), der über einen bidirektionalen Bus (103) mit dem Prozessor (100) verbunden ist, abgelegt ist und wobei eine Adressiereinheit (101), die erste Adressen über einen Bus (104) von dem Prozessor (100) empfängt und die ersten Adressen in zweite Adressen umwandelt und damit über einen über einen Bus (105) einen Variablenspeicher (6), der über einen Bus (109) von dem Prozessor (100) auslesbar ist, adressiert und wobei ein Tabellenspeicher (7), der über einen bidirektionalen Bus (110) mit dem Prozessor (100) verbunden ist, vorgesehen ist.

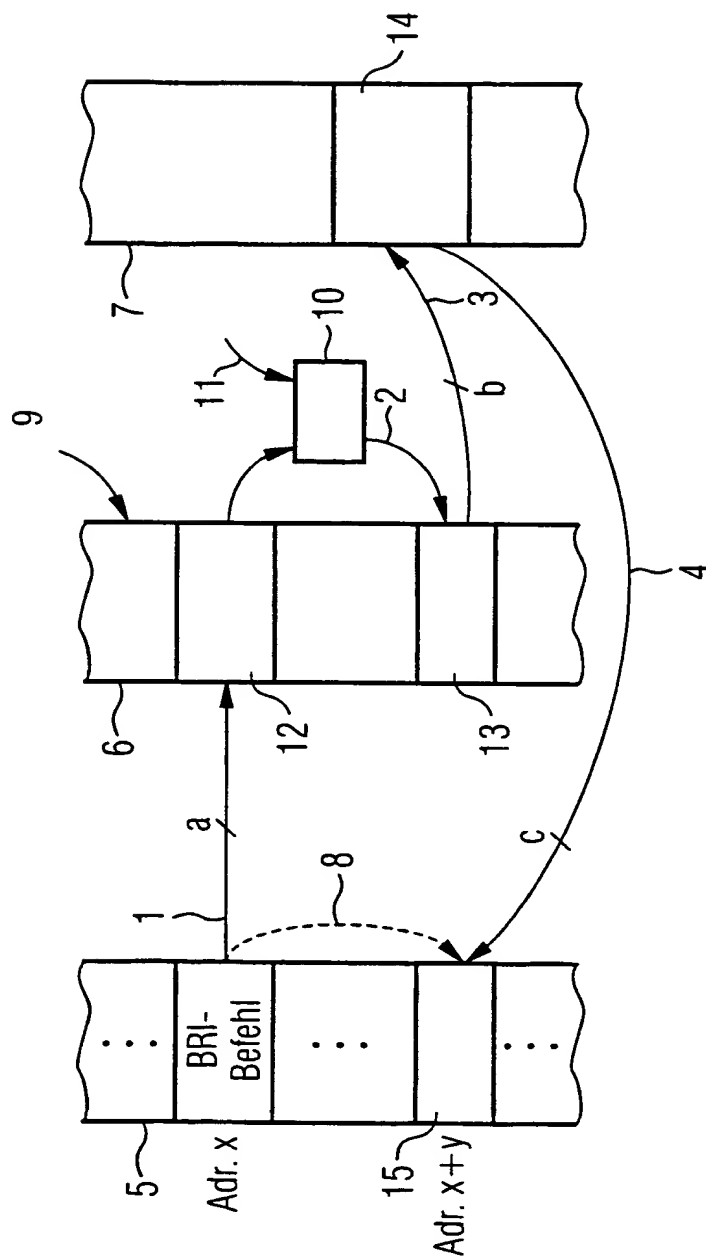
15 5. Vorrichtung nach Anspruch 4, dadurch gekennzeichnet, daß eine Einrichtung (102), die über einen Bus (106) Daten von dem Variablenspeicher (6) und über einen Bus (108) Daten von dem Prozessor (100) empfängt und aus den empfangenen Daten eine Adresse zur Adressierung des Variablenspeichers (6) über einen Bus (107) berechnet, vorgesehen ist.

20 6. Vorrichtung nach Anspruch 4 oder 5, dadurch gekennzeichnet, daß der Variablenspeicher (5) ein Schreib-/Lese-Speicher ist.

25 7. Vorrichtung nach Anspruch 4, 5 oder 6, dadurch gekennzeichnet, daß der Tabellenspeicher (7) ein Schreib-/Lese-Speicher ist.

8. Vorrichtung nach einem der Ansprüche 4 bis 7, dadurch gekennzeichnet, daß der Prozessor (100) als I/O-Prozessor zur Protokollverarbeitung ausgeführt ist.

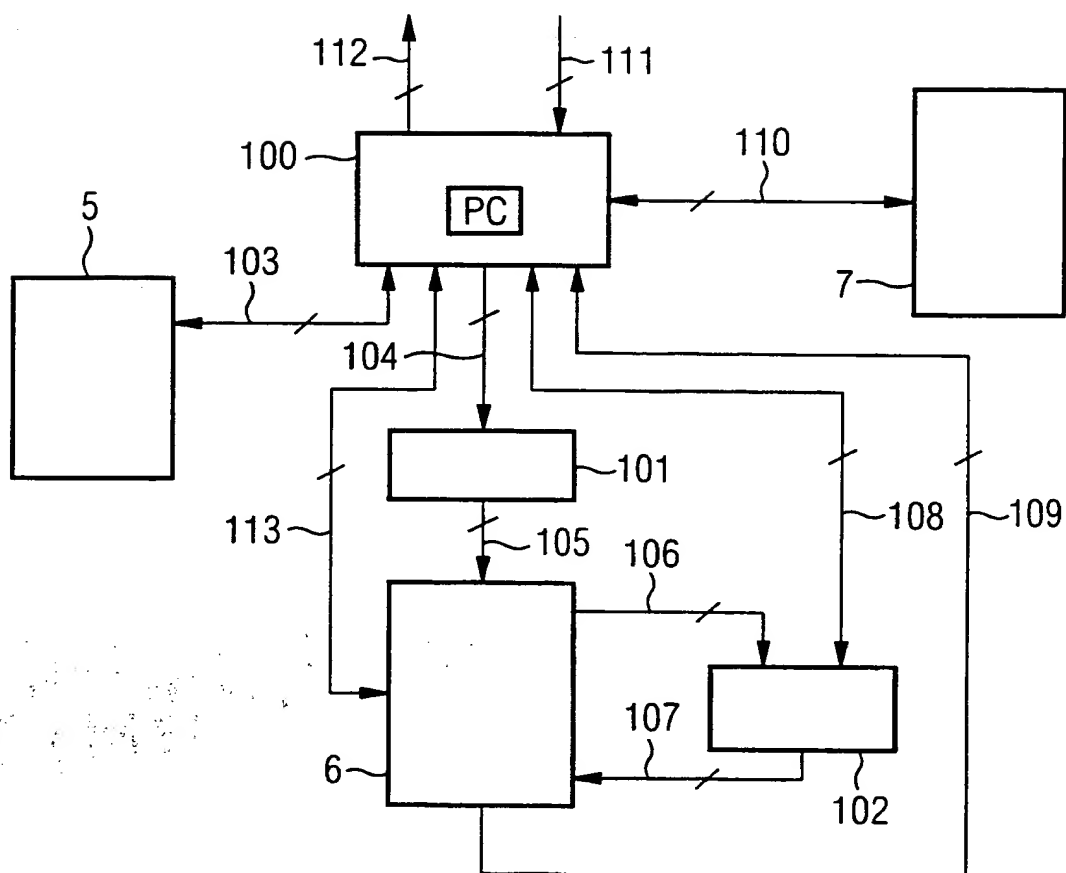
FIG 1



This Page Blank (uspto)

2/2

FIG 2



This Page Blank (uspto)

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
30. November 2000 (30.11.2000)

PCT

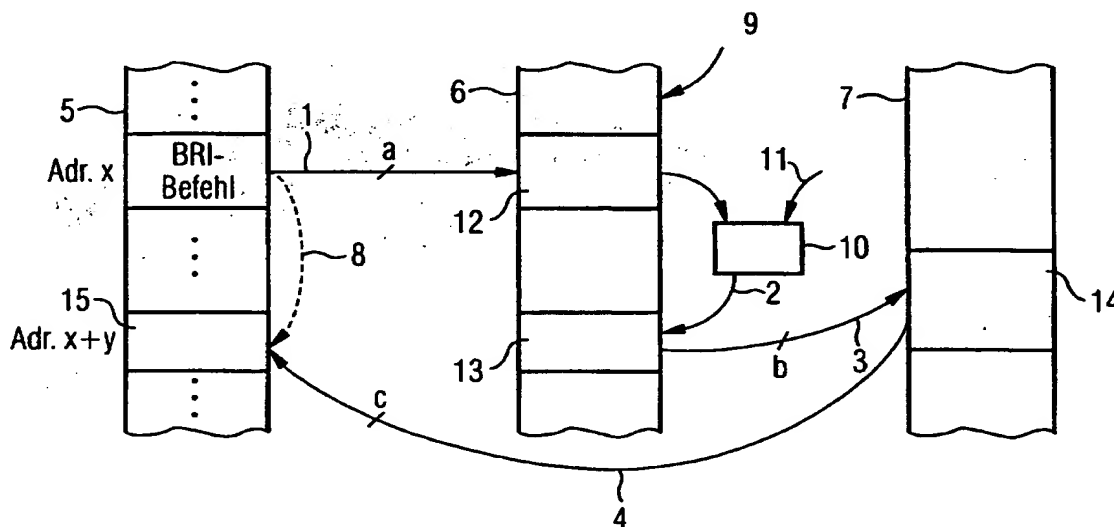
(10) Internationale Veröffentlichungsnummer
WO 00/72311 A3

- (51) Internationale Patentklassifikation⁷: **G06F 9/32** (72) Erfinder; und
(21) Internationales Aktenzeichen: **PCT/DE00/01610** (75) Erfinder/Anmelder (*nur für US*): JENSEN, Karsten
(22) Internationales Anmeldedatum: 19. Mai 2000 (19.05.2000) [DE/DE]; Bernhards Weg 2, D-01705 Freital (DE).
HOBER, Peter [DE/DE]; Sommerstrasse 18, D-85521
Riemerling (DE).
(25) Einreichungssprache: Deutsch (74) Anwalt: REINHARD SKUHRA WEISE & PARTNER;
(26) Veröffentlichungssprache: Deutsch P.O. Box 440151, 80750 München (DE).
(30) Angaben zur Priorität: 199 23 517.1 21. Mai 1999 (21.05.1999) DE (81) Bestimmungsstaaten (*national*): JP, KR, US.
(71) Anmelder (*für alle Bestimmungsstaaten mit Ausnahme von* (84) Bestimmungsstaaten (*regional*): europäisches Patent (AT,
US): INFINEON TECHNOLOGIES AG [DE/DE]; St.- BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,
Martin-Str. 53, D-81541 München (DE). NL, PT, SE).

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD AND DEVICE FOR BRANCHING DURING THE PROCESSING OF A PROGRAM BY A PROCESSOR

(54) Bezeichnung: VERFAHREN UND VORRICHTUNG ZUM VERZWEIGEN BEI DER ABARBEITUNG EINES PROGRAMMS DURCH EINEN PROZESSOR



(57) Abstract: The invention relates to a method for branching during the processing of a program by a processor. Said program is stored in a program memory and a variable memory and a table memory are provided. The inventive method comprises the following steps: a) addressing a first memory cell of the variable memory; b) addressing a second memory cell of the variable memory on the basis of the content of the memory cell addressed according to step a) and also on the basis of other parameters; c) addressing a memory cell of the table memory on the basis of the content of the second memory cell addressed according to step b); and d) branching towards an address of the program which is stored in the memory cell of the table memory addressed in step c).

(57) Zusammenfassung: Ein Verfahren zum Verzweigen bei der Abarbeitung eines Programms durch einen Prozessor, wobei das Programm in einem Programmspeicher abgelegt ist und ein Variablenspeicher und ein Tabellenspeicher vorgesehen sind, enthält die folgenden Schritte: a) Adressieren einer ersten Speicherzelle des Variablenspeichers,

[Fortsetzung auf der nächsten Seite]

WO 00/72311 A3



Veröffentlicht:

— Mit internationalem Recherchenbericht.

**(88) Veröffentlichungsdatum des internationalen
Recherchenberichts:**

31. Mai 2001

*Zur Erklärung der Zweibuchstaben-Codes, und der anderen
Abkürzungen wird auf die Erklärungen ("Guidance Notes on
Codes and Abbreviations") am Anfang jeder regulären Ausgabe
der PCT-Gazette verwiesen.*

b) Adressieren einer zweiten Speicherzelle des Variablenspeichers abhängig vom Inhalt der in Schritt a) adressierten ersten Speicherzelle und weiteren Parametern, c) Adressieren einer Speicherzelle des Tabellenspeichers abhängig vom Inhalt der in Schritt b) adressierten zweiten Speicherzelle, und d) Verzweigen zu einer Adresse des Programms, die in der in Schritt c) adressierten Speicherzelle des Tabellenspeichers abgelegt ist.

INTERNATIONAL SEARCH REPORT

Intern. Application No

PCT/DE 00/01610

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 G06F9/32

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ, IBM-TDB

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 96 08763 A (PHILIPS ELECTRONICS NV ;PHILIPS NORDEN AB (SE)) 21 March 1996 (1996-03-21) abstract page 2, line 8 - line 16 page 2, line 31 -page 3, line 26 figure 2 ---	1, 3
A	EP 0 552 816 A (HITACHI LTD ;HITACHI ENG CO LTD (JP)) 28 July 1993 (1993-07-28) abstract column 11, line 52 -column 12, line 18 ---	1, 6, 7
A	J.H.WILSON: "Branch Indirect Instruction" IBM TECHNICAL DISCLOSURE BULLETIN, vol. 20, no. 11B, April 1978 (1978-04), pages 4877-1878, XP002153340 the whole document --- -/--	1

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

A document defining the general state of the art which is not considered to be of particular relevance

E earlier document but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

& document member of the same patent family

Date of the actual completion of the international search

20 November 2000

Date of mailing of the international search report

04/12/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Moraiti, M

INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE 00/01610

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>PATENT ABSTRACTS OF JAPAN vol. 007, no. 070 (P-185), 23 March 1983 (1983-03-23) & JP 58 001245 A (FUJITSU KK), 6 January 1983 (1983-01-06) abstract</p> <p>-----</p>	1

INTERNATIONAL SEARCH REPORT

information on patent family members

Inter. Patent Application No

PCT/DE 00/01610

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
WO 9608763	A	21-03-1996	NONE	
EP 0552816	A	28-07-1993	JP 1898469 C	23-01-1995
			JP 6019713 B	16-03-1994
			JP 62008231 A	16-01-1987
			JP 1920086 C	07-04-1995
			JP 6042198 B	01-06-1994
			JP 62009440 A	17-01-1987
			DE 3689389 D	27-01-1994
			DE 3689389 T	07-04-1994
			EP 0207519 A	07-01-1987
			US 4896258 A	23-01-1990
JP 58001245	A	06-01-1983	JP 1669490 C	12-06-1992
			JP 3023938 B	02-04-1991

This Page Blank (uspto)

INTERNATIONALE RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 00/01610

A. KLASSTIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 G06F9/32

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 G06F

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, PAJ, IBM-TDB

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	WO 96 08763 A (PHILIPS ELECTRONICS NV ;PHILIPS NORDEN AB (SE)) 21. März 1996 (1996-03-21) Zusammenfassung Seite 2, Zeile 8 - Zeile 16 Seite 2, Zeile 31 -Seite 3, Zeile 26 Abbildung 2	1,3
A	EP 0 552 816 A (HITACHI LTD ;HITACHI ENG CO LTD (JP)) 28. Juli 1993 (1993-07-28) Zusammenfassung Spalte 11, Zeile 52 -Spalte 12, Zeile 18	1,6,7
A	J.H.WILSON: "Branch Indirect Instruction" IBM TECHNICAL DISCLOSURE BULLETIN, Bd. 20, Nr. 11B, April 1978 (1978-04), Seiten 4877-1878, XP002153340 das ganze Dokument	1

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

20. November 2000

Absenddatum des internationalen Recherchenberichts

04/12/2000

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040. Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Moraiti, M

Interr. nales Aktenzeichen

PCT/DE 00/01610

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie°	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	<p>PATENT ABSTRACTS OF JAPAN vol. 007, no. 070 (P-185), 23. März 1983 (1983-03-23) & JP 58 001245 A (FUJITSU KK), 6. Januar 1983 (1983-01-06) Zusammenfassung -----</p>	1

INTERNATIONALER RESEARCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Intern. Aktenzeichen

PCT/DE 00/01610

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
WO 9608763	A	21-03-1996	KEINE		
EP 0552816	A	28-07-1993	JP	1898469 C	23-01-1995
			JP	6019713 B	16-03-1994
			JP	62008231 A	16-01-1987
			JP	1920086 C	07-04-1995
			JP	6042198 B	01-06-1994
			JP	62009440 A	17-01-1987
			DE	3689389 D	27-01-1994
			DE	3689389 T	07-04-1994
			EP	0207519 A	07-01-1987
			US	4896258 A	23-01-1990
JP 58001245	A	06-01-1983	JP	1669490 C	12-06-1992
			JP	3023938 B	02-04-1991

This Page Blank (uspto)
